

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-161149

(43)Date of publication of application : 19.06.1998

(51)Int.Cl.

G02F 1/136

(21)Application number : 08-325138

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 05.12.1996

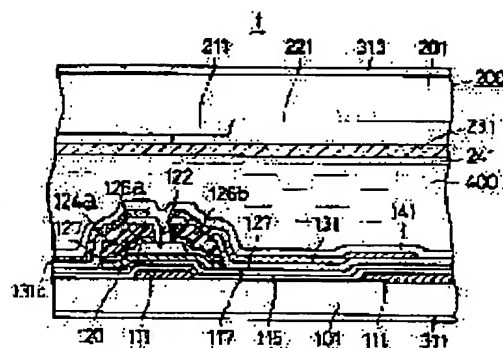
(72)Inventor : KUBO AKIRA

(54) MANUFACTURE OF ARRAY SUBSTRATE FOR DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an array substrate for a display device capable of securing high productivity without lowering manufacturing yield.

SOLUTION: This array substrate is provided with a scanning line 111, first insulation films 115, 117 upward of this a semiconductor film 120 upward of this, a thin film transistor containing a source electrode 126b and a drain electrode 126a electrically connected to the semiconductor film 120, a signal line led out from the drain electrode 126a and nearly orthogonally intersecting with the scanning line 111 and a pixel electrode 131 electrically connected to the source electrode 126b, and the pixel electrode 131 is connected electrically to the source electrode 126b through a second insulation film 127 arranged on at least the signal line, and covers the upper surface of the drain electrode 126a and the upper surface of the signal line with the same material.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-161149

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.⁹

G 0 2 F 1/136

識別記号

5 0 0

F I

G 0 2 F 1/136

5 0 0

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願平8-325138

(22) 出願日 平成8年(1996)12月5日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 久保 明

兵庫県姫路市余部区上余部50番地 株式会

社東芝姫路工場内

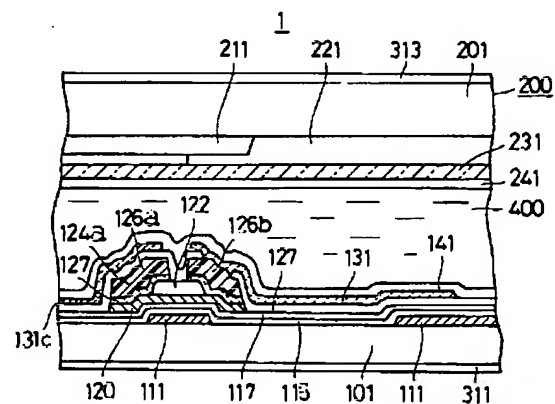
(74) 代理人 弁理士 藤田 璋子 (外1名)

(54) 【発明の名称】 表示装置用アレイ基板の製造方法

(57) 【要約】

【課題】 製造歩留りを低下させることなく、高い生産性が確保される表示装置用アレイ基板を提供する。

【解決手段】 走査線(111)と、この上の第1絶縁膜(115)、(117)、この上の半導体膜(120)、半導体膜(120)に電氣的に接続されるソース電極(126b)及びドレイン電極(126a)とを含む薄膜トランジスタ(112)と、ドレイン電極(126a)から導出されて走査線(111)と略直交する信号線(110)と、ソース電極(126b)と電氣的に接続される画素電極(131)とを備え、画素電極(131)は少なくとも信号線(110)上に配置される第2絶縁膜(127)を介してソース電極(126b)に電氣的に接続され、かつ、前記ドレイン電極(126a)の上面及び信号線(110)の上面を前記画素電極(131)と同一の材料で覆うものである。



(2)

特開平10-161149

【特許請求の範囲】

【請求項1】基板上に配置される走査線と、この上に配置される第1絶縁膜と、この絶縁膜上に配置される半導体膜と、前記半導体膜に電氣的に接続されるソース電極及びドレイン電極とを含む薄膜トランジスタと、前記ドレイン電極から導出されて前記走査線と略直交する信号線と、前記ソース電極に電氣的に接続される画素電極とを備えた表示装置用アレイ基板の製造方法において、電極薄膜をドライエッチングにてパターンニングして前記画素電極を形成するに際し、前記ソース電極、前記ドレイン電極または前記信号線はエッチングガスに曝されないことを特徴とする表示装置用アレイ基板の製造方法。

【請求項2】前記パターンニングに際し、前記ソース電極、前記ドレイン電極又は前記信号線は前記電極薄膜又は保護膜にて被覆されることを特徴とする請求項1記載の表示装置用アレイ基板の製造方法。

【請求項3】前記パターンニングに際し、前記ソース電極、前記ドレイン電極又は前記信号線はITOから成る前記電極薄膜にて被覆され、且つ前記エッチングガスがヨウ化水素を主体としたことを特徴とする請求項2記載の表示装置用アレイ基板の製造方法。

【請求項4】前記電極薄膜又は前記保護膜にて被覆される配線がアルミニウムを主体とすることを特徴とする請求項2記載の表示装置用アレイ基板の製造方法。

【請求項5】基板上に配置される薄膜トランジスタと、この薄膜トランジスタのドレイン電極に電氣的に接続される信号線、ソース電極に電氣的に接続される画素電極、ゲート電極を成す走査線とを備えた表示装置用アレイ基板の製造方法において、前記画素電極を電極薄膜をドライエッチングによりパターンニングして形成するに際し、前記ドレイン電極、前記ソース電極、前記信号線又は前記走査線は、エッチングガスに曝されることがないように前記電極薄膜にて被覆されていることを特徴とする表示装置用アレイ基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置等の平面表示装置に用いられる表示装置用アレイ基板の製造方法に関する。

【0002】

【従来の技術】近年、CRTディスプレイに代わる平面型の表示装置が盛んに開発されており、中でも液晶表示装置は軽量、薄型、低消費電力等の利点から特に注目を集めている。

【0003】例えば、各表示画素毎にスイッチ素子が配置された光透過型のアクティブマトリクス型の液晶表示装置を例にとり説明する。アクティブマトリクス型液晶

表示装置は、アレイ基板と対向基板との間に配向膜を介して液晶層が保持されて成っている。アレイ基板は、ガラスや石英等の透明絶縁基板上に複数本の信号線と走査線とが格子状に配置され、各交点部分にアモルファスシリコン（以下、a-Si:Hと略称する。）等の半導体薄膜を用いた薄膜トランジスタ（以下、TFTと略称する。）が接続されている。そしてTFTのゲート電極は走査線に、ドレイン電極は信号線にそれぞれ電氣的に接続され、さらにソース電極は画素電極を構成する透明導電材料、例えばITO(Indium-Tin-Oxide)に電氣的に接続されている。

【0004】対向基板は、ガラス等の透明絶縁基板上にITOから成る対向電極が配置され、またカラー表示を実現するのであればカラーフィルタ層が配置されて構成されている。

【0005】

【発明が解決しようとする課題】上記アレイ基板の製造において、ITOのパターン加工にはウェットエッチングを従来用いていたが、パターン加工精度や下地の選択性を向上するために、最近ではHI（ヨウ化水素）ガス等によるドライエッチングの導入が検討されている。

【0006】しかしながら、このドライエッチング時にはAlやMo等から成る配線は殆ど腐蝕されないが、ドライエッチング後、レジスト剥離処理までの放置時間が長いと、アレイ基板上の残留HIが吸湿し、ヨウ化水素酸となって配線を腐蝕してしまう。この腐蝕により、アレイ基板の完成後の試験においては、TFTの特性不良や信号線オープン、線間ショート不良が多発してしまう。

【0007】そこで本発明は上記問題点を鑑みて成されたもので、製造歩留りを低下させることなく、高い生産性が確保される表示装置用アレイ基板の製造方法を提供することを目的としている。

【0008】

【課題を解決するための手段】本発明の請求項1の表示装置用アレイ基板の製造方法は、基板上に配置される走査線と、この上に配置される第1絶縁膜と、この絶縁膜上に配置される半導体膜と、前記半導体膜に電氣的に接続されるソース電極及びドレイン電極とを含む薄膜トランジスタと、前記ドレイン電極から導出されて前記走査線と略直交する信号線と、前記ソース電極に電氣的に接続される画素電極とを備えた表示装置用アレイ基板の製造方法であって、電極薄膜をドライエッチングにてパターンニングして前記画素電極を形成するに際し、前記ソース電極、前記ドレイン電極又は前記信号線はエッチングガスに曝されないことを特徴としている。

【0009】上記の製造方法であると、ソース電極、ドレイン電極又は信号線はエッチングガスに曝されないため、ドライエッチングを行った際の例えばヨウ化水素酸により腐蝕されることがない。

(3)

特開平10-161149

【0010】

【発明の実施の形態】以下、本発明の実施例の液晶表示装置(1)について図1から図14に基づいて説明する。

【0011】この液晶表示装置(1)は、カラー表示が可能な光透過型であって、図3に示すように、アレイ基板(100)と対向基板(200)との間にポリイミド樹脂から成り、互いに直交する方向に配向処理が成された配向膜(141),(241)を介して、ツイスト・ネマチック(TN)液晶が保持されている。また、アレイ基板(100)と対向基板(200)との外表面には、それぞれ偏光板(311)(313)が貼り付けられて構成されている。

【0012】図1は、アレイ基板(100)の概略平面図を示すものであり、図中の下側が液晶表示装置(1)の画面上側に位置するものであって、図中下側から上側に向かって走査線が順次選択されるものである。

【0013】アレイ基板(100)は、ガラス基板(101)上に配置される480本のA1-Y合金から成る走査線(111)を含み、各走査線(111)の一端は、ガラス基板(101)の一端辺(101a)側に引き出され、斜め配線部(150)を経て走査線パッド(152)に電気的に接続される。ここでは、走査線(111)をA1-Y合金で構成したが、Mo-Ta合金、Mo-W合金あるいはA1あるいはその合金などで構成してもかまわない。

【0014】アレイ基板(100)は、ガラス基板(101)上に走査線(111)と略直交する1920本のA1-Y合金から成る信号線(110)を含み、各信号線(110)はガラス基板(101)の他の一端辺(101b)側に引き出され、斜め配線部(160)を経て信号線パッド(162)に電気的に接続される。ここでは、信号線(110)をA1-Y合金で構成したが、Mo-Ta合金、Mo-W合金、A1あるいは、その合金などで構成してもかまわない。

【0015】この走査線(111)と信号線(110)との交点部分近傍には、TFT(112)が配置されている。また、このTFT(112)に接続されるITOから成る画素電極(131)が、走査線(111)及び信号線(110)上に層間絶縁膜(127)を介して配置されている。この層間絶縁膜(127)としては、窒化シリコン膜や酸化シリコン膜等の無機絶縁膜あるいはアクリル系等の有機樹脂被膜で構成することができるが、これら無機絶縁膜と有機樹脂被膜との多層膜で構成することにより、表面平滑性並びに層間絶縁性はより一層向上される。

【0016】また、信号線パッド(162)、斜め配線部(160)、信号線(110)の上面、走査線パッド(152)、斜め配線部(150)、信号線(110)から連続して設けられているドレイン電極(126a)の上面を覆うように、層間絶縁膜(127)を介して画素電極(131)と同一の材料よりなる保護膜(131a)(131b)(131c)が形成されている。この保護膜(131)が形成された状態を示したのが図2の平面図である。この図において、斜線の部分で示したところが保護膜(131)を形成した部分である。

【0017】(TFT領域の構造)TFT(112)領域の構造について説明する。

【0018】各走査線(111)は、隣り合う画素電極(131)の信号線(110)に沿う端辺(131a),(131b)と重複するように細線状に延在される延在領域(113)を含む。画素電極(131)と、画素電極(131)に対応する走査線(111)に対して前段の走査線(111)からの延在領域(113)との重複領域(OS)は、図7に示すように、第1ゲート絶縁膜(115)、第2ゲート絶縁膜(117)及び層間絶縁膜(127)を介して互いに重複され、この重複領域(OS)により補助容量(Cs)が構成される。また、この実施例では、画素電極(131)は前段の走査線(111)自体とも第1ゲート絶縁膜(115)、第2ゲート絶縁膜(117)及び層間絶縁膜(127)を介して互いに重複され、この重複領域でも補助容量(Cs)が構成される。

【0019】そして、図3に示すように、信号線(110)と連続して設けられるドレイン電極(126a)の上面には、層間絶縁膜(127)を介して画素電極(131)と同一の材料よりなる保護膜(131c)が設けられている。

【0020】このアレイ基板(100)に対向する対向基板(200)は、ガラス基板(201)上に配置され、TFT(121)領域、信号線(110)及び走査線(111)と画素電極(131)との間隙を遮光するマトリクス状の樹脂性の遮光膜(211)を含む。また、画素電極(131)に対応する領域には、それぞれ赤(R)、緑(G)及び青(B)のカラーフィルタ(221)が配置され、この上に透明電極材料から成る対向電極(231)が配置されて構成される。

【0021】以上のように、この液晶表示装置(1)のアレイ基板(100)によれば、信号線(110)及び走査線(111)と画素電極(131)の間には、層間絶縁膜(127)、あるいは第1及び第2ゲート絶縁膜(115),(117)及び層間絶縁膜(127)がそれぞれ配置されているので、画素電極(131)を各配線(110),(111)に対して十分に近接、もしくは重畳して配置することができ、これにより高開口率化を実現することができる。

【0022】また、この実施例によれば、補助容量(Cs)が画素電極(131)と、この画素電極(131)と隣接する走査線(111)から延在される延在領域(113)との間で形成されるので、別途補助容量線等を配置する必要がなく、一層の高開口率化が可能となる。特に、この実施例では、TFT(112)は、走査線(111)から信号線(110)に沿って導出される領域をゲート電極として構成されるため、画素電極(131)は前段の走査線(111)自体にも重畳させることができる。これにより、十分な補助容量(Cs)の確保と高開口率化が同時に達成される。

【0023】そして、画素電極(131)と走査線(111)及び延在領域(113)との間には、3種類の絶縁膜(115),(117),(127)がそれぞれ積層配置されているので、本実施例の構造に起因した層間ショート等の発生も極めて軽減される。

(4)

特開平10-161149

【0024】ところで、この実施例では、画素領域が、対向基板(200)に配置される遮光膜(211)ではなくアレイ基板(100)上の走査線(111)及びその延在領域(113)によって画定される。従って、アレイ基板(100)と対向基板(200)との合わせ精度によらず、走査線(111)をパターンニングする第1のマスクパターンと画素電極(131)をパターンニングする第5のマスクパターンとの合わせ精度によってのみ決定されるので、アレイ基板(100)との対向基板(200)との合わせずれを考慮して遮光膜(211)幅にマージンを設ける必要がないので、更なる高開口率の実現が可能となる。

【0025】さらに、画素領域を画定するため、走査線(111)の延在領域(113)を画素電極(131)の信号線(110)に沿う端辺(132)(133)に沿って十分に延在させても、この実施例によれば、画素電極(131)と走査線(111)の延在領域(113)との間には第1ゲート絶縁膜(115)及び第2ゲート絶縁膜(117)の他に層間絶縁膜(127)が配置されているので、生産性を損なうことなく補助容量(Cs)の大幅な増大を抑えることができる。

【0026】また、図6に示すように、信号線(110)の輪郭と低抵抗半導体膜(124a)及び半導体膜(120)の輪郭が一致している。さらに詳しくは、信号線(110)と走査線(111)との交差部には、必ず第1乃至第2ゲート絶縁膜(115),(117)の他に低抵抗半導体膜(124a)及び半導体膜(120)が積層されている。このため、各パターンニングに際してマスクずれが生じても、信号線(110)と走査線(111)との間の容量変動がなく、このため製品間で走査線容量あるいは信号線容量の変動が軽減される。また、信号線(110)と走査線(111)との交差部における静電気、プロセス中でのゴミ、あるいは各絶縁膜(115),(117)のピンホールに起因する層間ショートも抑えられ、これにより高い製造歩留まりが確保できる。

【0027】さらに、図7に示すように、信号線(110)の輪郭と低抵抗半導体膜(124a)及び半導体膜(120)の輪郭が一致しているので、従来の如く別工程でパターンニングされるのとは異なり、各パターンニングに際してマスクずれが生じても、信号線(110)と走査線(111)の延在領域(113)との間に生じる容量変動も十分に抑えることができる。

【0028】また、信号線(110)と走査線(111)の延在領域(113)とを重畳、即ち図7において信号線(111)を介して隣接して配置される延在領域(113)を信号線(111)下において接続する構造としても、信号線(110)と走査線(111)の延在領域(113)との間には、各絶縁膜(115),(117)の他に半導体膜(120)が必ず配置されるので、静電気、プロセス中でのゴミ、あるいは各絶縁膜(115),(117)のピンホールに起因する層間ショートも抑えられ、これにより高い製造歩留まりが確保できる。そして、このように信号線(111)と隣接する画素電極(131)下に延在領域(113)を配する構成により、信号線(111)

と画素電極(131)との間の容量結合が延在領域(113)によってシールドされ、画素電極(131)の電位が信号線(111)の電位によって受ける影響を軽減できる。しかも、信号線(111)と絶縁膜(115),(117)との間に配置される半導体膜(120)及び低抵抗半導体膜(124a)の輪郭線が信号線(111)の輪郭線と一致している。これらの理由から、信号線(111)と画素電極(131)とを十分に近接配置することができ、これにより一層の高開口率化が達成される。

【0029】(走査線の外周部付近の構造) 走査線(111)の外周部付近の構造について、図1及び図4に基づいて説明する。

【0030】Al-Y合金から成る走査線(111)は、ガラス基板(101)の一端辺(101a)側に引き出され、斜め配線部(150)及び走査線パッド(152)に導かれる下層配線部(111a)を形成している。

【0031】斜め配線部(150)においては、走査線(111)から延在される下層配線部(111a)上には2層の絶縁膜(115),(117)が積層配置されている。また、この2層の絶縁膜(115),(117)の上には、半導体被膜(119)、低抵抗半導体被膜(123)及び信号線(110)と同一工程で同一材料であるAl-Y合金膜からなる上層配線部(125a)が積層され、この上層配線部(125a)の上には層間絶縁膜(127)が配置されている。この層間絶縁膜(127)の上面には、画素電極(131)と同一の材料よりなる保護膜(131a)が設けられている。

【0032】そして、この斜め配線部(150)の基部においては、一対を成す第1コンタクトホール(153)と第2コンタクトホール(154)とがそれぞれ配線方向に沿って近接して配置され、画素電極(131)と同一工程で同一材料であるITOからなる保護膜(131a)によって走査線(111)から延在される下層配線部(111a)と上層配線部(125a)とが第1コンタクトホール(153)及び第2コンタクトホール(154)を介して電気的に接続されている。この保護膜(131a)は、斜め配線部(150)の上面に設けられた保護膜と連続して設ける。

【0033】第2コンタクトホール(154)は、下層配線部(111a)の主表面の一部を露出するように2層の絶縁膜(115),(117)、半導体被膜(119)、低抵抗半導体被膜(123)及び上層配線部(125a)を貫通する開口であって、第1コンタクトホール(153)は上層配線部(125a)の主表面の一部を露出するように層間絶縁膜(127)を貫通する開口である。

【0034】また、走査線パッド(152)においては、やはり一対を成す第1コンタクトホール(155)と第2コンタクトホール(156)とがそれぞれ配線方向に沿って近接して配置され、画素電極(131)と同一工程で同一材料であるITOからなる保護膜(131a)によって走査線(111)の下層配線部(111a)と上層配線部(125a)とが第1コンタクトホール(155)及び第2コンタクトホール(156)を介

(5)

特開平10-161149

して電氣的に接続されている。この保護膜(131a)は、斜め配線部(150)に設けられた保護膜(131a)と連続して設ける。

【0035】第2コンタクトホール(156)は、上述した第2コンタクトホール(154)と同様に、下層配線部(111a)の主表面の一部を露出するように2層の絶縁膜(115)、(117)、半導体被膜(119)、低抵抗半導体被膜(123)及び上層配線部(125a)を貫通する開口であって、第1コンタクトホール(155)は上述の第1コンタクトホール(153)と同様に上層配線部(125a)の主表面の一部を露出するように層間絶縁膜(127)を貫通する開口である。

【0036】これにより、走査線(111)の斜め配線部(150)は、互いに別工程でパターンニングされる信号線(110)と同一材料で同一工程で作製されるA1-Y合金膜からなる上層配線部(125a)とA1-Y合金膜よりなる走査線(111)から延在される下層配線部(111a)との積層構造で構成され、この2層によって斜め配線部(150)の基部と走査線パッド(152)とが電氣的に接続される。

【0037】このため、斜め配線部(150)において、上層配線部(125a)または下層配線部(111a)の一方が断線しても、他方が接続されているため、斜め配線部(150)での断線不良が極めて軽減される。

【0038】また、斜め配線部(150)、この斜め配線部(150)の基部及び走査線パッド(152)の上面は保護膜(131a)によって覆われているため、たとえ層間絶縁膜(127)にピンホール等が存在していても、その下層にある上層配線部(125a)が製造工程で腐蝕されたりすることがない。

【0039】なお、この実施例では、第2コンタクトホール(156)の領域、即ち下層配線部(111a)と保護膜(131a)との積層領域が主として走査線パッド(152)の接続領域として機能する。

【0040】(信号線の外周部付近の構造)信号線(110)の外周部付近の構造について、図1及び図5に基づいて説明する。

【0041】走査線(111)と同一工程で同一材料から成るA1-Y合金膜から成る下層配線部(111b)が、各信号線(110)に対応してガラス基板(101)の一端辺(101b)側の信号線(110)の斜め配線部(160)及び信号線パッド(162)に配置されている。

【0042】斜め配線部(160)においては、下層配線部(111b)の上には、2層の絶縁膜(115)、(117)が配置されている。また、この2層の絶縁膜(115)、(117)の上に、半導体被膜(119)、低抵抗半導体被膜(123)及び信号線(110)から延在されるA1-Y合金膜からなる上層配線部(125b)(信号線(110))が積層され、この上層配線部(125b)上には層間絶縁膜(127)が配置されている。さらにこの層間絶縁膜(127)の上には画素電極(131)と同一の材料よりなる保護膜(131b)が覆うように形成されている。

【0043】そして、この斜め配線部(160)の基部においては、一対を成す第1コンタクトホール(163)と第2コンタクトホール(164)とがそれぞれ配線方向に沿って近接して配置され、画素電極(131)と同一工程で同一材料であるITOからなる保護膜(131b)によって信号線(110)から延在される上層配線部(125b)と下層配線部(111b)とが電氣的に接続されている。そして、この保護膜(131b)は、斜め配線部(160)の上面に設けられた保護膜(131b)と連続して設けている。

【0044】なお、第2コンタクトホール(164)は、下層配線部(111b)の主表面の一部を露出するように2層の絶縁膜(115)、(117)、半導体被膜(119)、低抵抗半導体被膜(123)及び上層配線部(125b)を貫通する開口であって、第1コンタクトホール(163)は上層配線部(125b)の主表面の一部を露出するように層間絶縁膜(127)を貫通する開口である。

【0045】また、信号線パッド(162)においては、やはり一対を成す第1コンタクトホール(165)と第2コンタクトホール(166)とがそれぞれ配線方向に近接して配置され、画素電極(131)と同一工程で同一材料であるITOからなる保護膜(131b)によって信号線(110)から延在される上層配線部(125b)と下層配線部(111b)とが電氣的に接続されている。そして、この保護膜(131b)は斜め配線部(160)の上面に設けられた保護膜(131b)と連続して設けられている。

【0046】なお、第2コンタクトホール(166)は、上述した第2コンタクトホール(164)と同様に、下層配線部(111b)の主表面の一部を露出するように2層の絶縁膜(115)、(117)、半導体被膜(119)、低抵抗半導体被膜(123)及び上層配線部(125b)を貫通する開口であって、第1コンタクトホール(165)は上述の第2コンタクトホール(163)と同様に上層配線部(125b)の主表面の一部を露出するように層間絶縁膜(127)を貫通する開口である。

【0047】これにより、斜め配線部(160)においては、A1-Y合金膜よりなる信号線(110)から延在される上層配線部(125b)と走査線(111)と同一工程で同一材料であるA1-Y合金膜から成る下層配線部(111b)とが積層配置され、この2層によって、斜め配線部(160)の基部と信号線パッド(162)を電氣的に接続している。

【0048】そのため、斜め配線部(160)において、A1-Y合金膜よりなる上層配線部(125b)またはA1-Y合金膜から成る下層配線部(111b)の一方が断線しても、他方が接続されているため、斜め配線部(160)に断線不良が生じることが軽減される。

【0049】さらに、斜め配線部(160)、この斜め配線部(160)の基部及び信号線パッド(162)の上面は画素電極(131)と同一の材料よりなる保護膜(131b)によって覆われているため、たとえ層間絶縁膜(127)にピンホール等が存在していても、その下層にある上層配線部(125b)が製造工程で腐蝕されたりすることがない。

(6)

特開平10-161149

【0050】また、図3に示すように、信号線(110)と連続して設けられるドレイン電極(126a)の上面においても、層間絶縁膜(127)を介して画素電極(131)と同一の材料よりなる保護膜(131c)が設けられている。

【0051】なお、この実施例では、第2コンタクトホール(166)の領域、即ち下層配線部(111b)と保護膜(131b)との積層領域が主として信号線パッド(162)の接続領域として機能する。

【0052】上述した構成によれば、駆動ICのバンパ、FPC(フレキシブル・プリント・サーキット)やTCP(テープ・キャリア・パッケージ)の電極等を信号線パッド(162)及び走査線パッド(152)にACF(異方性導電膜)等の接続層を介して電気的に接続する場合に、信号線パッド(162)及び走査線パッド(152)の構成が実質的に同一であるため、信号線パッド(162)及び走査線パッド(152)の接続条件を等しくしても接続層に印加される熱や圧力等が略等しくでき、これにより同一条件での製造が可能となる。即ち、この実施例では、走査線パッド(152)の接続領域は、主として走査線(111)から導出されるA1-Y合金膜よりなる下層配線部(111a)と画素電極(131)と同一材料であるITOからなる保護膜(131b)との積層構造で構成され、また信号線接続パッド(162)の接続領域は、主として走査線(111)と同時に形成されるA1-Y合金膜よりなる下層配線部(111b)と画素電極(131)と同一材料であるITOからなる保護膜(131b)との積層構造で構成されており、その構造は実質的に同一である。

【0053】(アレイ基板の製造工程)次に、このアレイ基板(100)の製造工程について、図8から図14を参照して詳細に説明する。

【0054】(1)第1工程

図8に示すように、ガラス基板(101)上にスパッターによりA1-Y合金膜、Mo膜をそれぞれ200nm厚、30nm厚で連続して堆積し、第1のマスクパターンを用いて露光し、現像、パターニング(第1のパターニング)を経る。

【0055】これにより、ガラス基板(101)上に480本の走査線(111)を作製すると共に、その一端辺(101a)側において走査線(111)の斜め配線部(150)及び走査線パッド(152)を構成する下層配線部(111a)、一端辺(101b)において信号線(110)の斜め配線部(160)及び信号線パッド(162)を構成する下層配線部(111b)をそれぞれ同時に作製する。

【0056】さらに、TFT領域では走査線(111)と一体で走査線(111)と直交する方向に導出されるゲート電極を作製する。また、走査線(111)のパターニングの際に走査線(111)と直交する方向に導出され、補助容量(Cs)を形成するための延在領域(113)も同時に作製しておく(図1参照)。

【0057】(2)第2工程

第1工程の後、図8に示すように、プラズマCVD法により150nm厚の酸化シリコン膜から成る第1ゲート絶縁膜(115)を堆積した後、さらに150nm厚の窒化シリコン膜から成る第2ゲート絶縁膜(117)、50nm厚のa-Si:Hから成る半導体被膜(119)及び200nm厚の窒化シリコン膜から成るチャネル保護被膜(121)を連続的に大気にさらすことなく成膜する。

【0058】(3)第3工程

第2工程の後、図10に示すように、走査線(111)をマスクとした裏面露光技術により走査線(111)に自己整合的にチャネル保護被膜(121)をパターニングし、さらにTFT領域に対応するように第2のマスクパターンを用いて露光し、現像、パターニング(第2のパターニング)を経て、島状のチャネル保護膜(122)を作製する。

【0059】(4)第4工程

第3工程の後、図11に示すように、良好なオーミックコンタクトが得られるように露出する半導体被膜(119)表面を弗酸(HF)系溶液で処理し、プラズマCVD法により不純物としてリンを含む30nm厚のn+a-Si:Hから成る低抵抗半導体被膜(123)を堆積し、さらに300nm厚のMo-W合金膜(125)をスパッターにより堆積する。

【0060】(5)第5工程

第4工程の後、図12に示すように、第3のマスクパターンを用いて露光、現像し、A1-Y合金膜(125)、低抵抗半導体被膜(123)及び半導体被膜(119)を窒化シリコン膜から成る第1ゲート絶縁膜(115)あるいは第2ゲート絶縁膜(117)とチャネル保護膜(122)とのエッチング選択比を制御することにより、一括してプラズマエッチングによりパターニングする(第3のパターニング)。

【0061】これにより、TFT領域においては、低抵抗半導体膜(124a)とソース電極(126b)とを一体に作製し、低抵抗半導体膜(124b)及び信号線(110)と一体にドレイン電極(126a)を作製する。

【0062】走査線パッド(152)及び斜め配線部(150)の基部においては、下層配線部(111a)上に沿ってA1-Y合金膜(125)をパターニングして上層配線部(125a)を形成すると共に、上層配線部(125a)に沿って低抵抗半導体被膜(123)及び半導体被膜(119)を一括してパターニングする。これと同時に、上述した第2コンタクトホール(154)、(156)に対応する上層配線部(125a)、低抵抗半導体被膜(123)及び半導体被膜(119)を貫通する開口(154a)、(156a)を作製する。

【0063】同様に、信号線パッド(162)及び斜め配線部(160)の基部においても、下層配線部(111b)上に沿ってA1-Y合金膜(125)をパターニングして信号線(110)から延在される上層配線部(125b)を形成すると共に、上層配線部(125b)に沿って低抵抗半導体被膜(123)及び半導体被膜(119)を一括してパターニングする。こ

(7)

特開平10-161149

れと同時に、上述した第2コンタクトホール(164)、(166)に対応する領域の上層配線部(125b)、低抵抗半導体被膜(123)及び半導体被膜(119)を貫通する開口(164a)、(166a)を作製する。

【0064】ここでは、Al-Y合金膜(125)、低抵抗半導体被膜(123)及び半導体被膜(119)をドライエッチングによりパターンニングしたが、ウェットエッチングでもかまわない。

【0065】(6)第6工程

第5工程の後、この上に200nm厚の窒化シリコン膜から成る層間絶縁膜(127)を熱CVDによって堆積する。

【0066】そして、図13に示すように、第4のマスクパターンを用いて露光、現像し、ソース電極(126b)に対応する領域の一部の層間絶縁膜(127)を除去してドライエッチングによりコンタクトホール(129a)を形成する。

【0067】走査線パッド(152)及び斜め配線部(150)の基部においては、開口(154a)、(156a)に対応する第1及び第2ゲート絶縁膜(117)と共に層間絶縁膜(127)を一括して除去して第2コンタクトホール(154)、(156)を形成する(第4のパターンニング)と同時に、第2コンタクトホール(154)、(156)近傍の層間絶縁膜(127)を除去して第2コンタクトホール(154)、(156)と一対を成す第1コンタクトホール(153)、(155)を作製する。

【0068】同時に、信号線パッド(162)及び斜め配線部(160)の基部においては、開口(164a)、(166a)に対応する第1及び第2ゲート絶縁膜(117)と共に層間絶縁膜(127)を一括して除去して第2コンタクトホール(164)、(166)を形成すると同時に、第2コンタクトホール(164)、(166)近傍の層間絶縁膜(127)を除去して第2コンタクトホール(164)、(166)とそれぞれ一対を成す第1コンタクトホール(163)、(165)を作製する。

【0069】(7)第7工程

第6工程の後、図14に示すように、この上に100nm厚のITO膜をスパッターにより堆積し、第5のマスクパターンを用いて露光、現像、ヨウ化水素(HI)を主成分とするエッチングガス、即ちHIガスあるいはHI/Arガスによるドライエッチングによってパターンニング(第5のパターンニング)し、画素電極(131)を作製する。

【0070】走査線パッド(152)及び斜め配線部(150)の基部においては、第1コンタクトホール(153)、(155)と第2コンタクトホール(154)、(156)とを、それぞれ電気的に接続するための保護膜(131a)を形成し、これにより走査線(111)と走査線パッド(152)とは、下層配線部(111a)と上層配線部(125a)の2層構造の斜め配線部(150)により電気的に接続される。

【0071】信号線パッド(162)、斜め配線部(160)の基部及び信号線(110)においても、第1コンタクトホー

ル(163)、(165)と第2コンタクトホール(164)、(166)とを、それぞれ電気的に接続するための保護膜(131b)を同時に形成し、これにより信号線(110)と信号線接続パッド(162)とは、下層配線部(111b)と上層配線部(125b)の2層構造の斜め配線部(160)により電気的に接続される。

【0072】さらに、ドレイン電極(126a)の上面にもドレイン電極(126a)を覆うように保護膜(131c)を設ける。

【0073】そして、この工程において、信号線パッド(162)、斜め配線部(160)、信号線(110)の上面及び走査線パッド(152)及び斜め配線部(150)とドレイン電極(126a)の上面を覆うように、画素電極(131)と同一の材料からなる保護膜(131a)(131b)(131c)を設けているため、層間絶縁膜(127)にピンホール等があっても、ITO膜のドライエッチングによる残留ヨウ化水素酸によってこれらが腐蝕されたりすることがない。

【0074】また、この保護膜(131a)(131b)(131c)を設ける場合においても、画素電極(131)と同時に積層できるためその製造工程を増やす必要がない。

【0075】(変更例)この実施例では、半導体膜をa-Si:Hで構成する場合について説明したが、多結晶シリコン膜等であっても良いことは言うまでもない。また、周辺領域に駆動回路部を一体的に構成しても良い。

【0076】また、さらに信号線や走査線上に画素電極を一部重複させて配置する場合、少なくとも画素電極と信号線との間に絶縁層を介して金属膜等でシールド電極を配するようにすれば、画素電極が信号線からの電位による影響を軽減できる。

【0077】液晶層としては、TN液晶以外にも、ポリマー分散型液晶、強誘電液晶、反強誘電性液晶等の各種材料が適用可能である。

【0078】この実施例では、信号線パッド(162)、斜め配線部(160)、信号線(110)の上面及び走査線パッド(152)及び斜め配線部(150)とドレイン電極(126a)の上面を覆うように、画素電極(131)と同一の材料からなる保護膜(131a)(131b)(131c)を設けたが、全ての領域に保護膜(131a)(131b)(131c)を設ける必要はなく、例えば断線等の影響の生じやすい斜め配線部(150)、(160)や、電気的接続に悪影響を及ぼす走査線パッド(152)や信号線パッド(162)上面に選択的に配置するものであってもかまわない。

【0079】また、この実施例では、保護膜(131a)(131b)(131c)を画素電極(131)と同一の材料であるITOとしたが、このITOに限定されるものではなく、十分に緻密な膜であれば、シリコン酸化膜やシリコン窒化膜等の絶縁膜を用いることもできる。

【0080】また、この実施例では、逆スタガ構造の薄膜トランジスタを例にとり説明したが、スタガ構造の薄膜トランジスタが用いられた表示装置用アレイ基板であってもかまわない。この場合は、走査線、走査線パッド

(8)

特開平10-161149

あるいは斜め配線部等を保護膜で被覆すればよい。

【0081】

【発明の効果】以上述べたように、本発明の表示装置用アレイ基板の製造方法であると、ソース電極、ドレイン電極または信号線はエッチングガスに曝されないため、ドライエッチングを行った際の例えばヨウ化水素酸により腐蝕されることがなく、製造歩留りを低下させることなく高い生産性を確保することができる。

【図面の簡単な説明】

【図1】本発明の一実施例のアレイ基板の一部概略平面図である。

【図2】図1における画素電極と同一材料で覆った箇所の平面図である。

【図3】図1のA-A'線に沿って切断した液晶表示装置の概略断面図である。

【図4】図1のB-B'線に沿って切断した液晶表示装置の概略断面図である。

【図5】図1のC-C'線に沿って切断した液晶表示装置の概略断面図である。

【図6】図1のD-D'線に沿って切断した液晶表示装置の概略断面図である。

【図7】図1のE-E'線に沿って切断した液晶表示装置の概略断面図である。

【図8】図1のアレイ基板を製造する第1工程を説明す

るための図である。

【図9】図1のアレイ基板を製造する第2工程を説明するための図である。

【図10】図1のアレイ基板を製造する第3工程を説明するための図である。

【図11】図1のアレイ基板を製造する第4工程を説明するための図である。

【図12】図1のアレイ基板を製造する第5工程を説明するための図である。

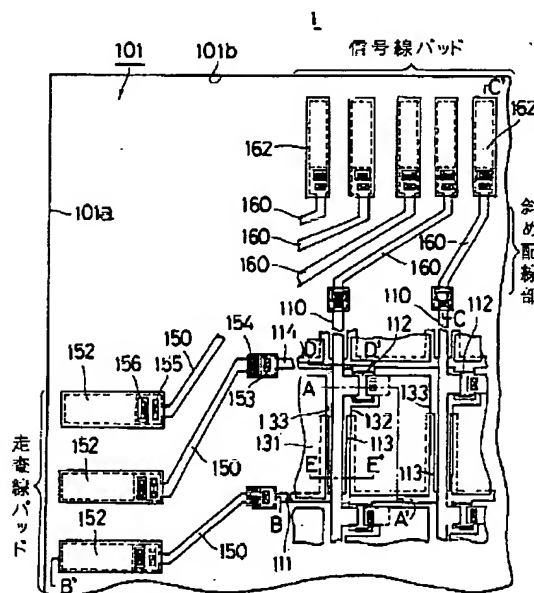
【図13】図1のアレイ基板を製造する第6工程を説明するための図である。

【図14】図1のアレイ基板を製造する第7工程を説明するための図である。

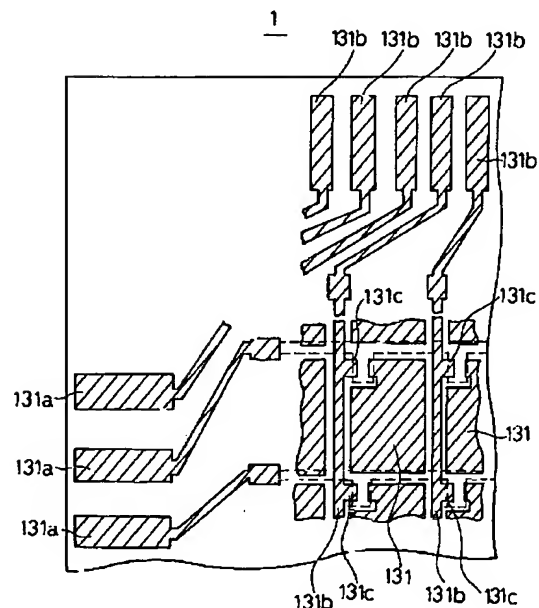
【符号の説明】

110	信号線
111	走査線
112	薄膜トランジスタ
113	延在領域
115	第1絶縁膜
117	第1絶縁膜
120	半導体膜
126a	ドレイン電極
126b	ソース電極
131	画素電極

【図1】



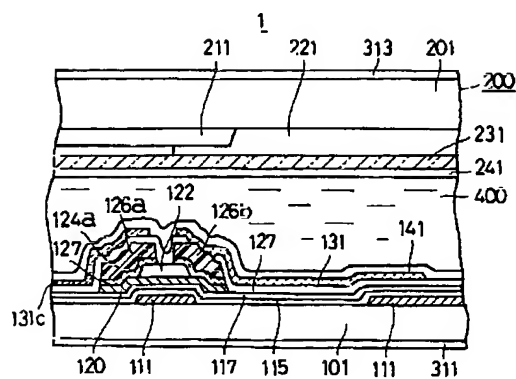
【図2】



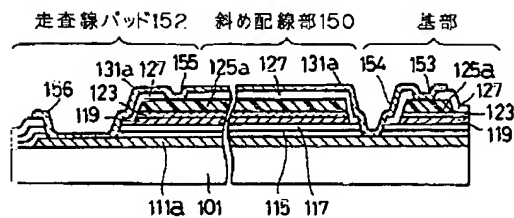
(9)

特開平10-161149

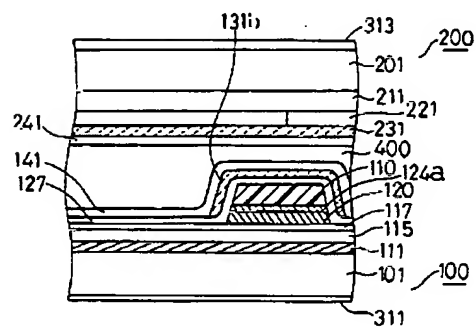
【図3】



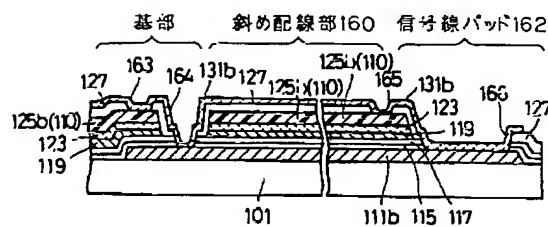
【図4】



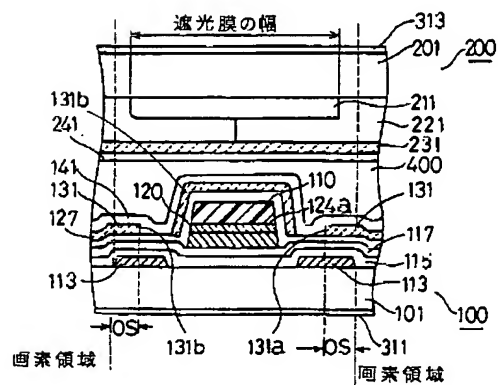
【図6】



【図5】



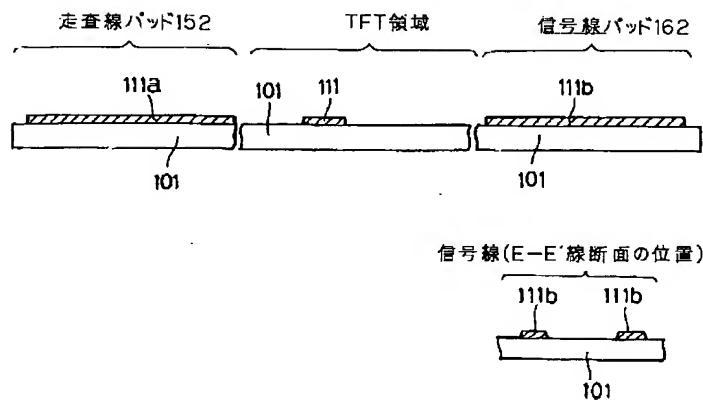
【図7】



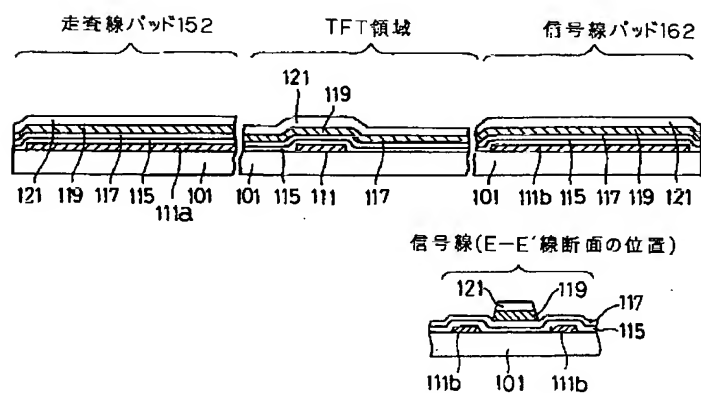
(10)

特開平10-161149

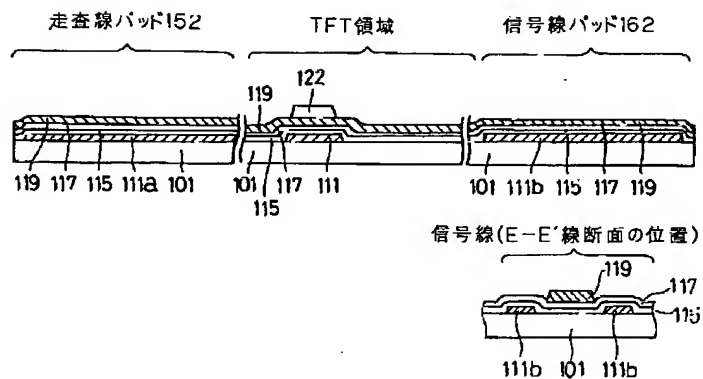
【図8】



【図9】



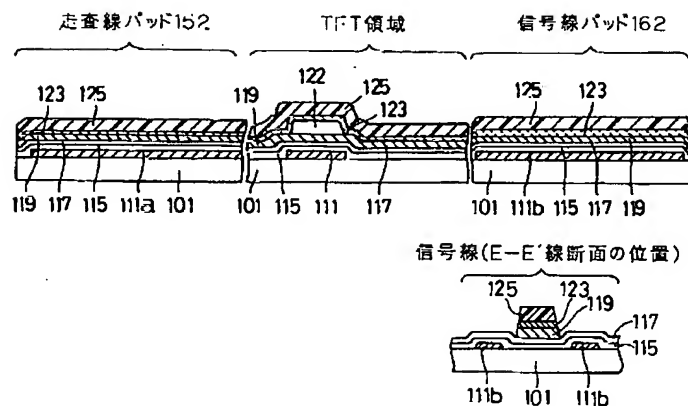
【図10】



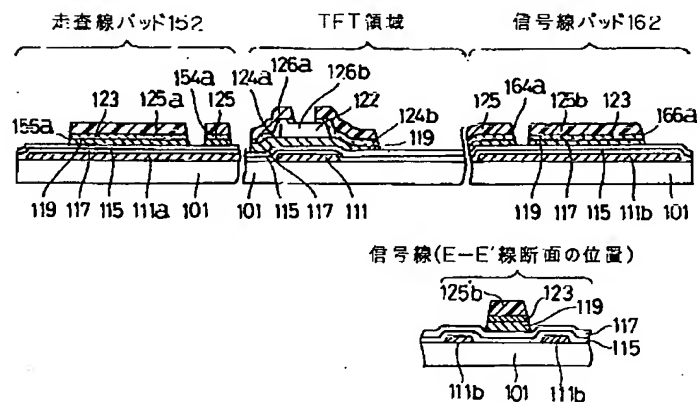
(11)

特開平10-161149

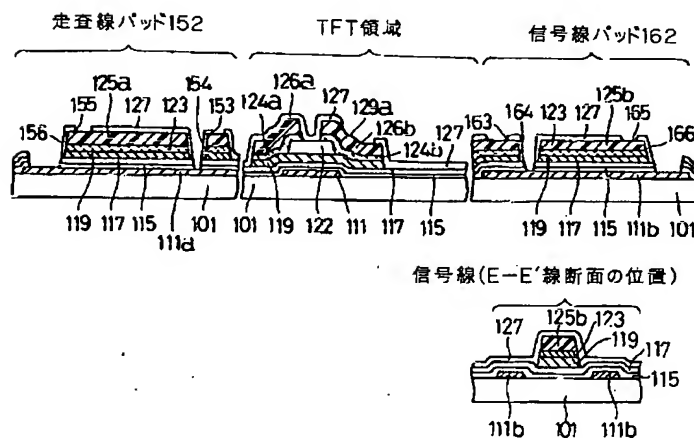
【図11】



【図12】



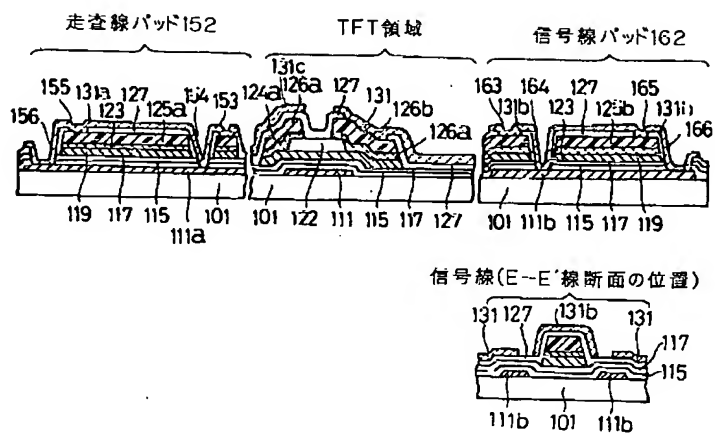
【図13】



(12)

特開平10-161149

【図14】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.